

CONTRIBUTION A LA CONCEPTION D'UN BANC DE VEILLISSEMENT DES COMPOSANTS DE PUISSANCE SIC



Présenté par : Aina Tsilavina RAMAMONJISOA

Organisme d'accueil : Laboratoire Ampère

Encadré par : Guy CLERC

LABORATOIRE AMPÈRE (UMR 5005 DU CNRS)

Département énergie électrique:

- Électronique de puissance
- Haute tension
- Compatibilité électromagnétique
- Modélisation électromagnétique
- Système de stockage de l'énergie électrique



André Marie Ampère

CONTEXTE

Avantage pour les applications de puissance, de conversion et de distribution de l'énergie, haute tension et haute température

Avantage pour les applications RF : fonctionnement à haute fréquence, et haute température

Fort champ électrique (V/um)

Fonctionnement à haute température (°C)

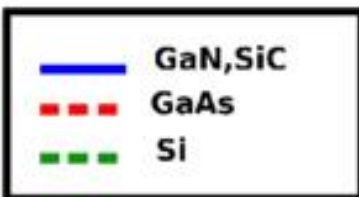
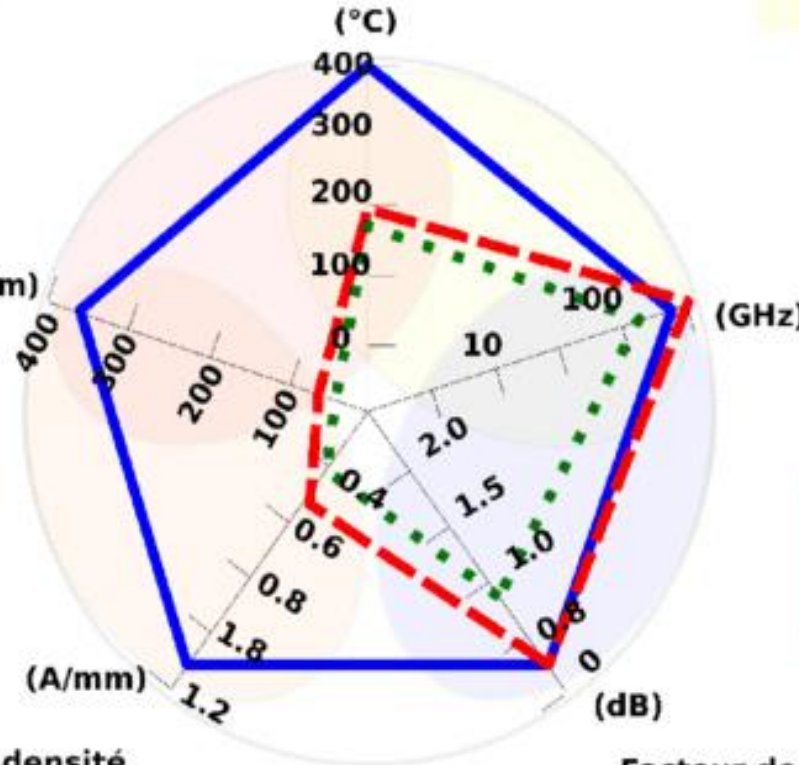
Fréquence de fonctionnement élevées (GHz)

Avantage pour les systèmes intégrés de puissance fonctionnant à haute fréquence et haute température

Avantage pour les applications RF : fonctionnement à haute fréquence

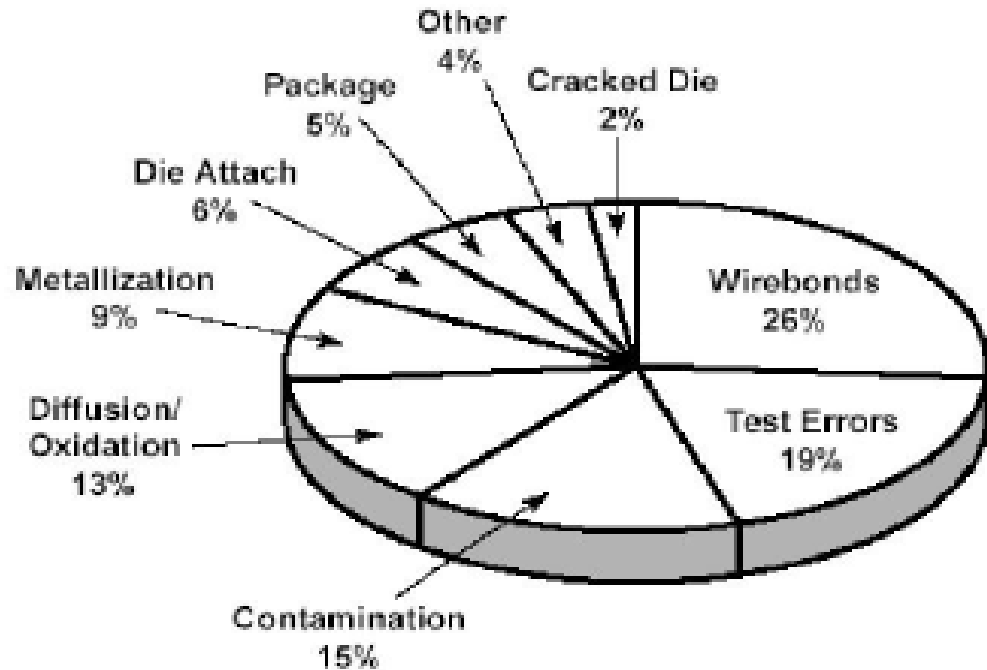
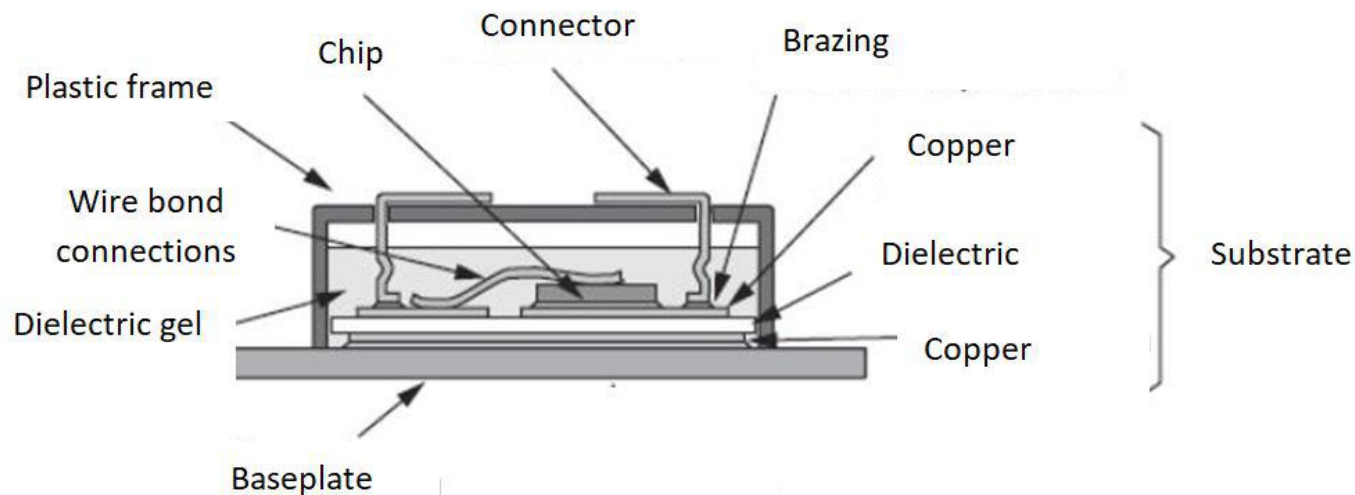
Forte densité de courant (A/mm)

Facteur de bruit supérieur (dB)

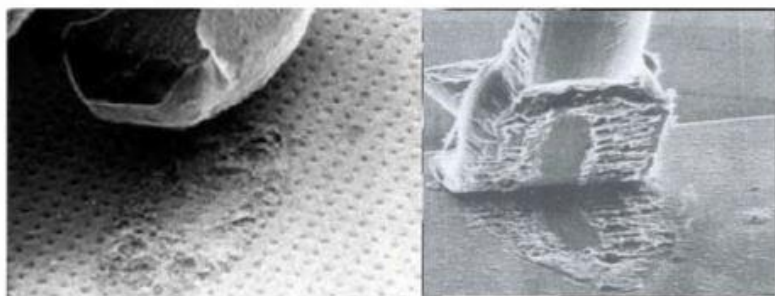


Source : Tournier, Dominique, Mémoire de thèse - 2012/07/12 - T1 - "Des composants de puissance aux systèmes intégrés haute température en technologie Grand-Gap". DOI - 10.13140/2.1.4325.9680

CONTEXTE



*Four-year average
 Source: Solid State Technology/
 ICE, "Roadmaps of Packaging Technology"

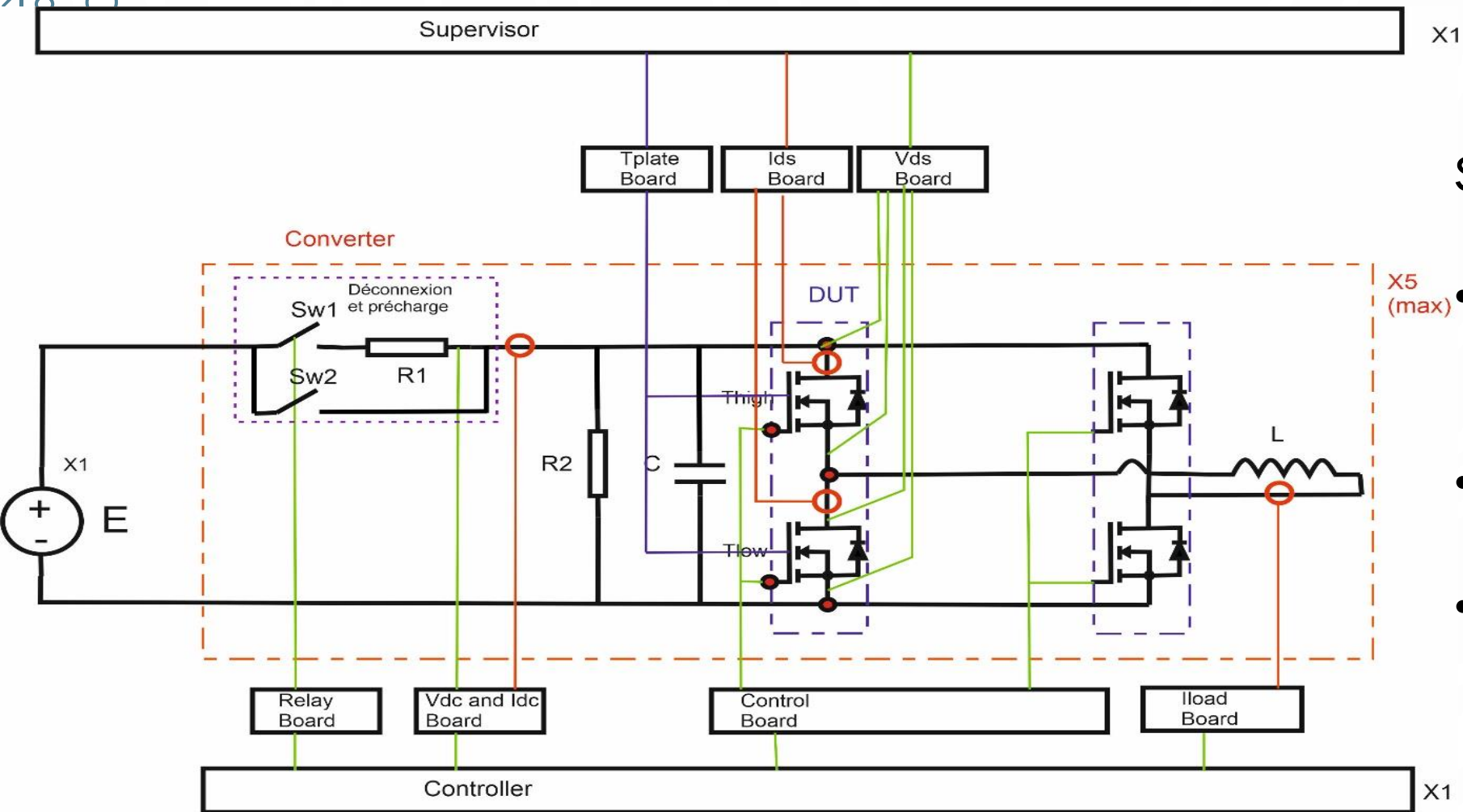


Décollement de fil de bonding.
 Source : G. Bower, P. Rogan, J. Kozlowski, and M. Zegger,
 "SiC power electronics packaging prognostics,"
 in IEEE Aerospace Conference, Big Sky, MT, USA, March 2008.

Modes de défaillance de Mosfet SiC.
 Source : G. Bower, P. Rogan, J. Kozlowski, and M. Zegger,
 "SiC power electronics packaging prognostics,"
 in IEEE Aerospace Conference, Big Sky, MT, USA, March 2008.

➡ Le vieillissement reste une inconnue. 4

CONTEXTE

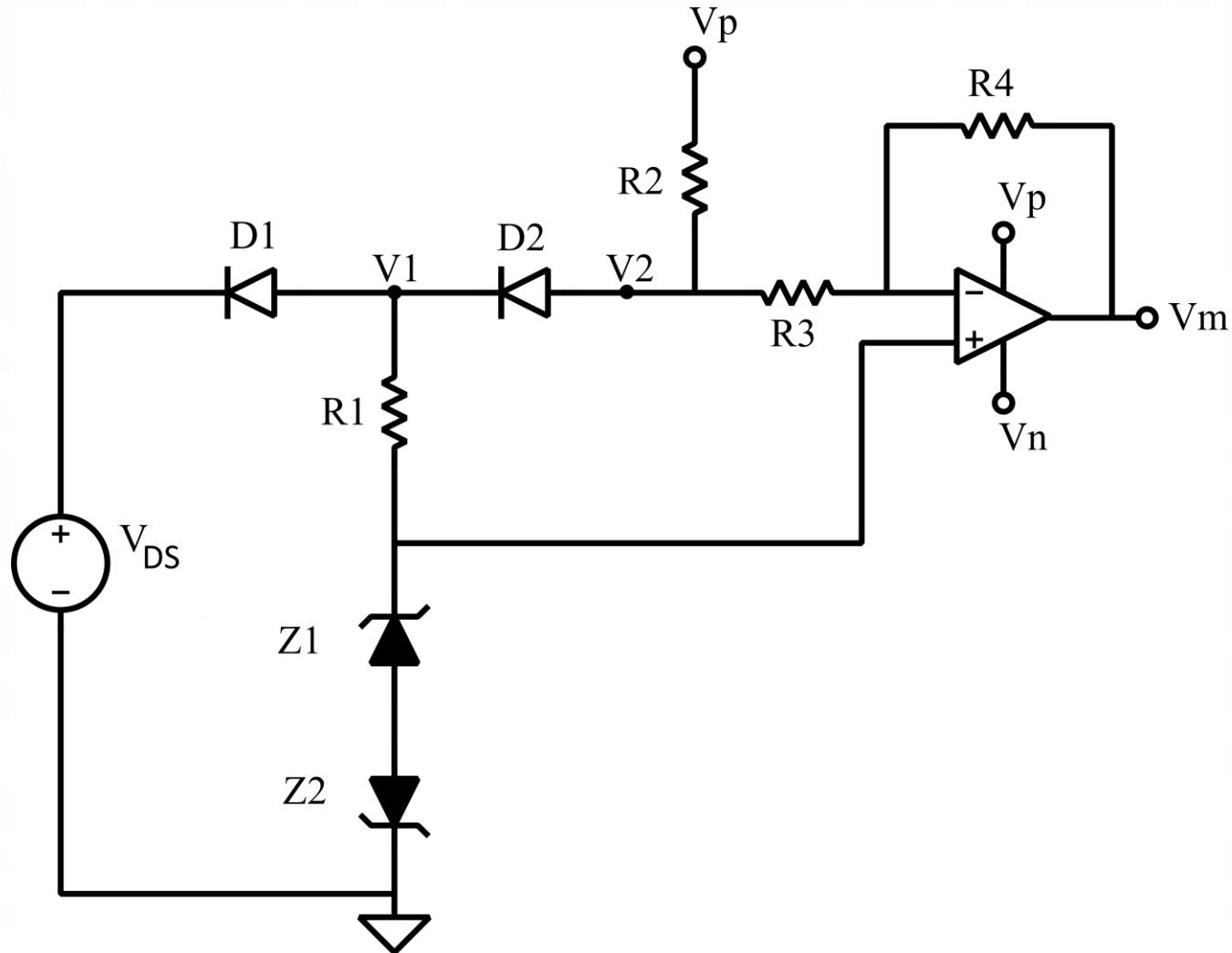


Surveillance

- R_{dson} : Résistance à l'état passant avec
 $R_{dson} = V_{ds}/I_{ds}$
- V_{gs} : tension grille source -
Plateau Miller
- T_j : Température de
jonction

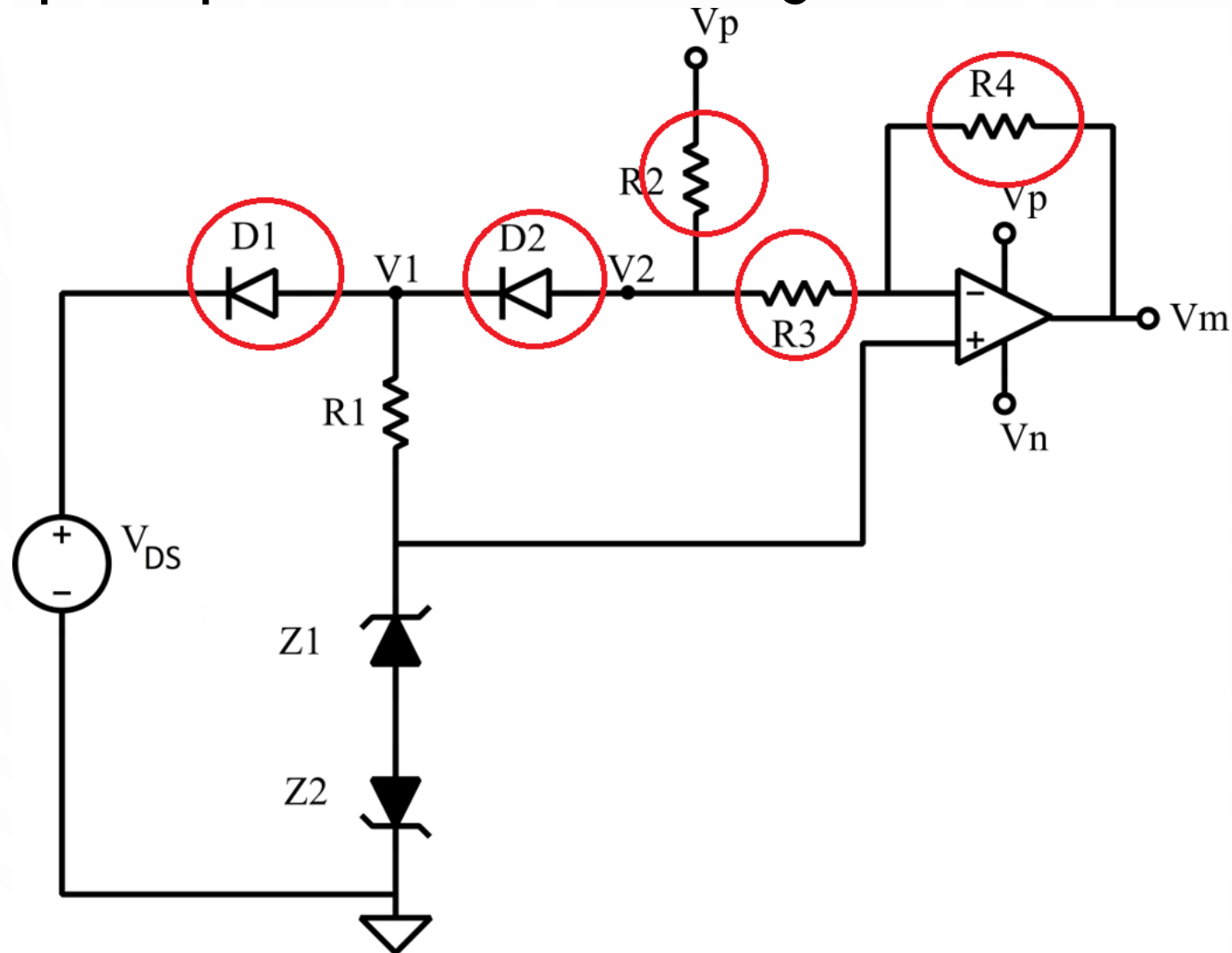
PREMIER MONTAGE

- Proposé par la thèse de Diego Velazco



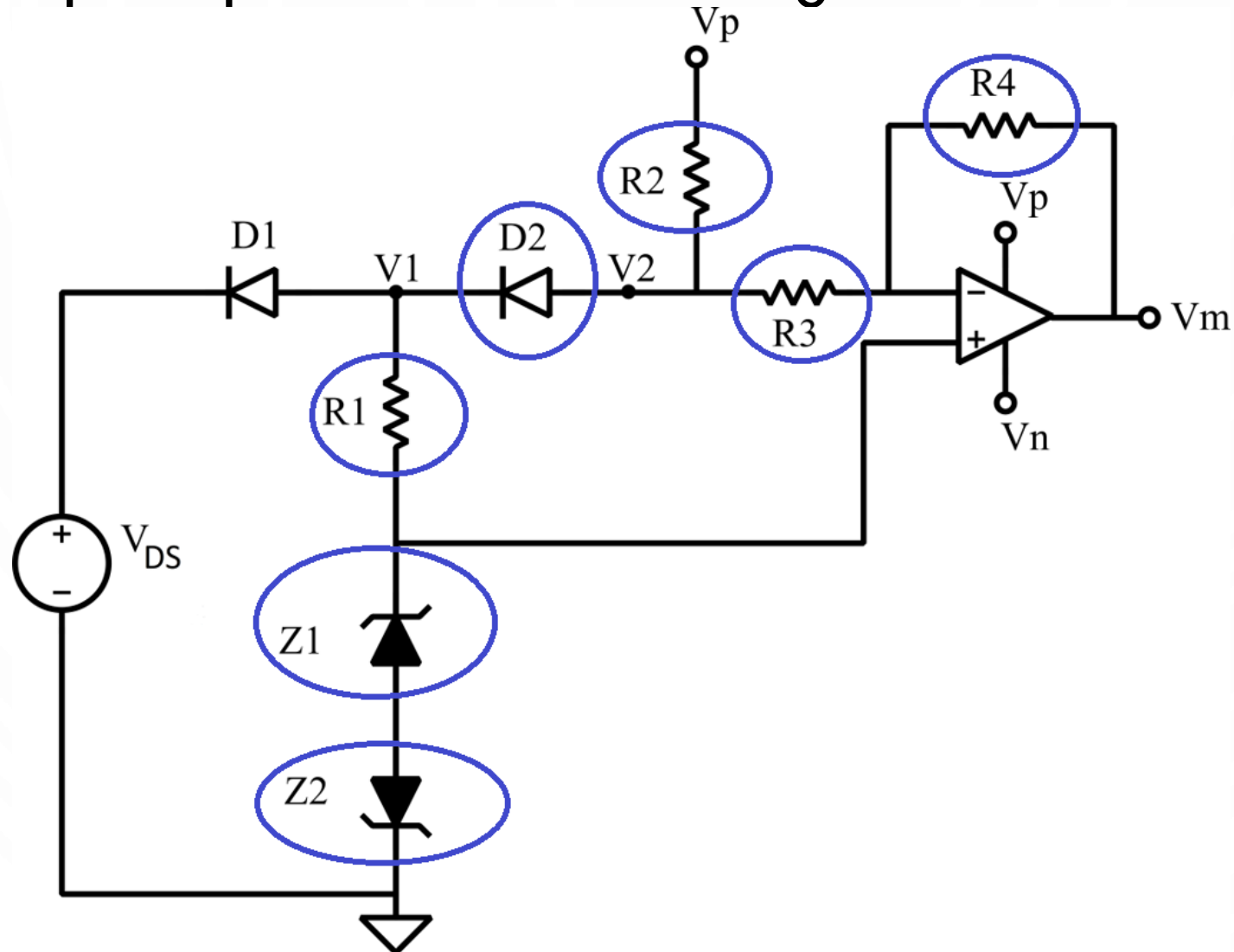
PREMIER MONTAGE

- Proposé par la thèse de Diego Velazco

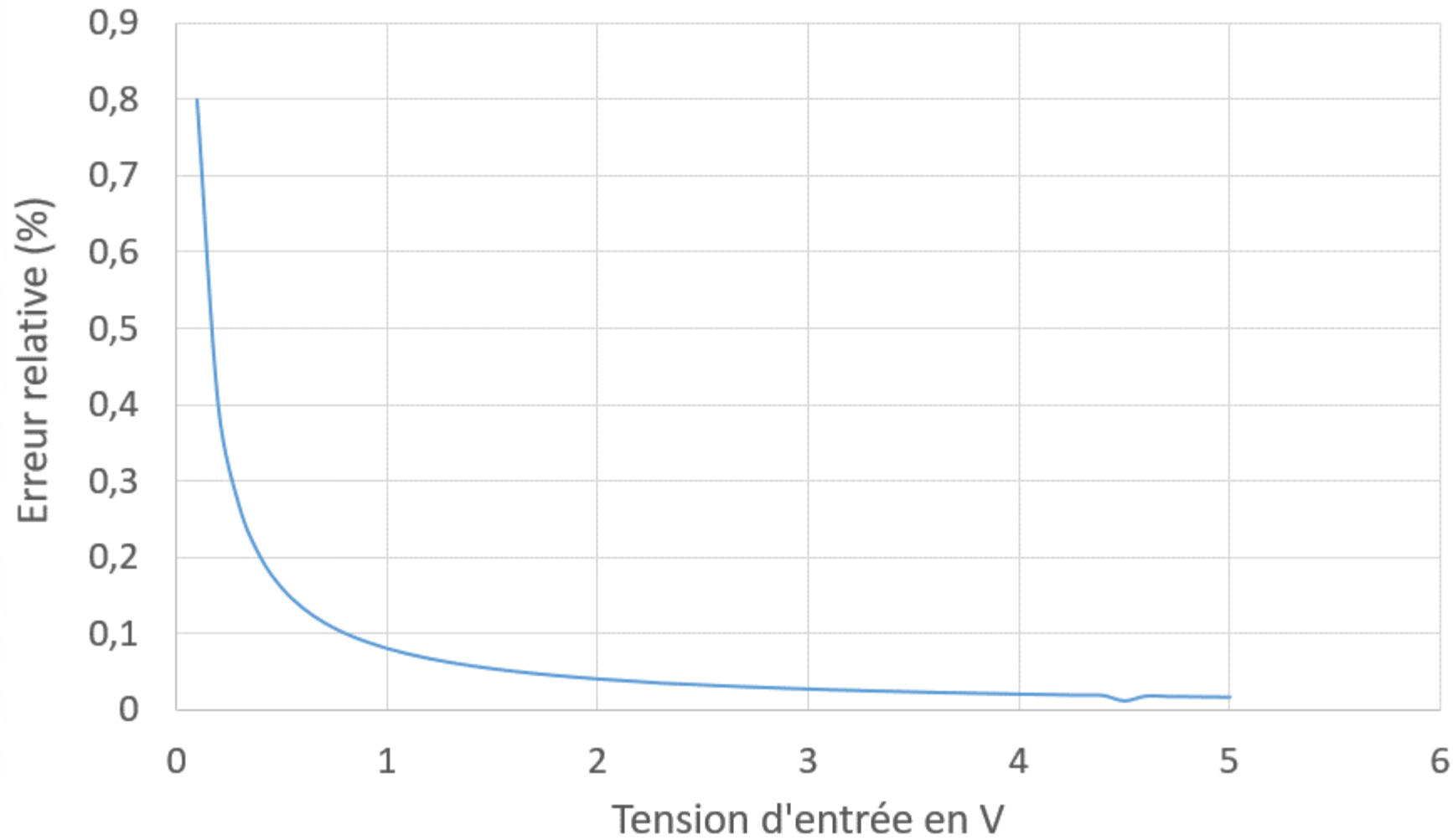


PREMIER MONTAGE

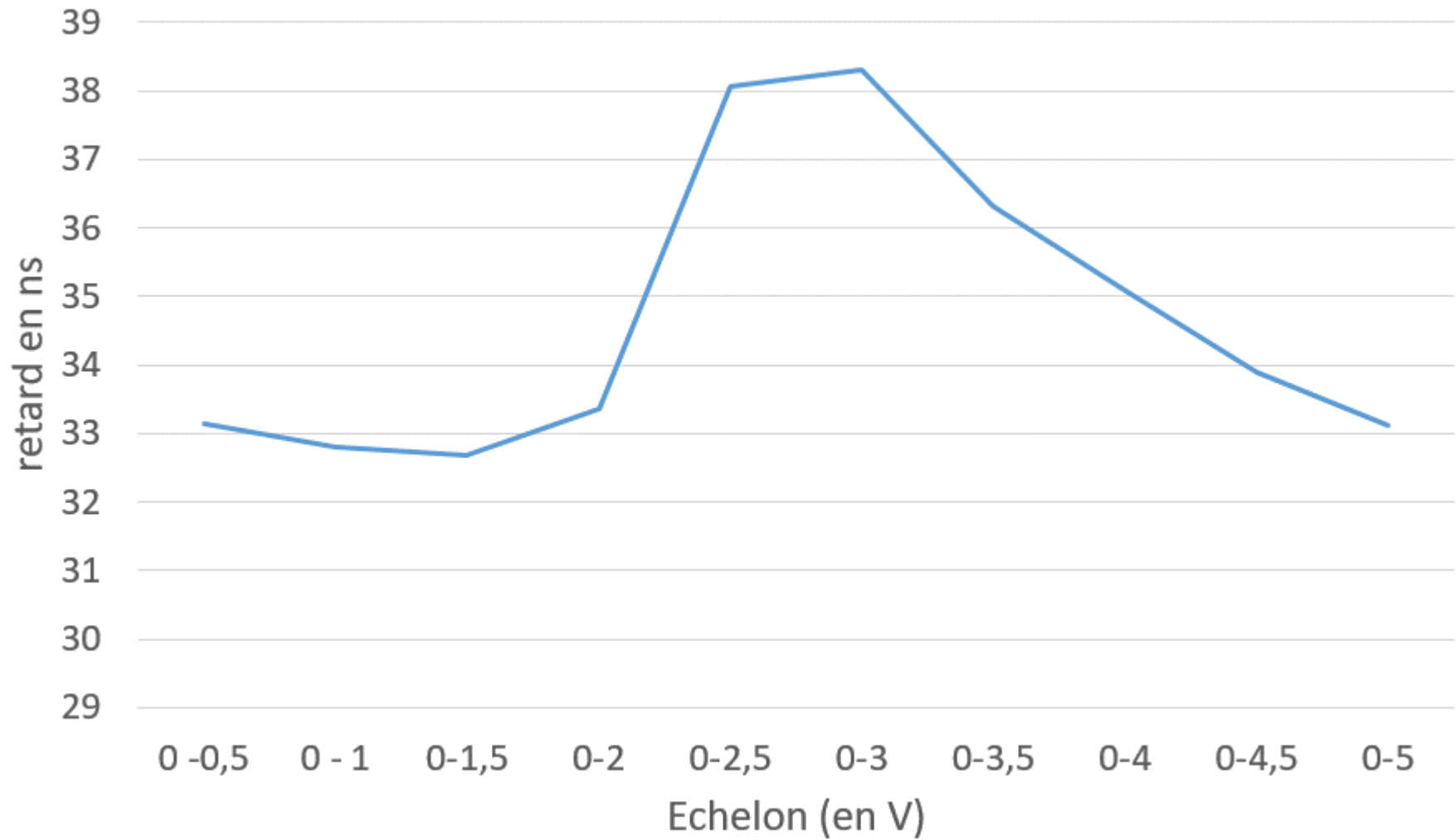
- Proposé par la thèse de Diego Velazco



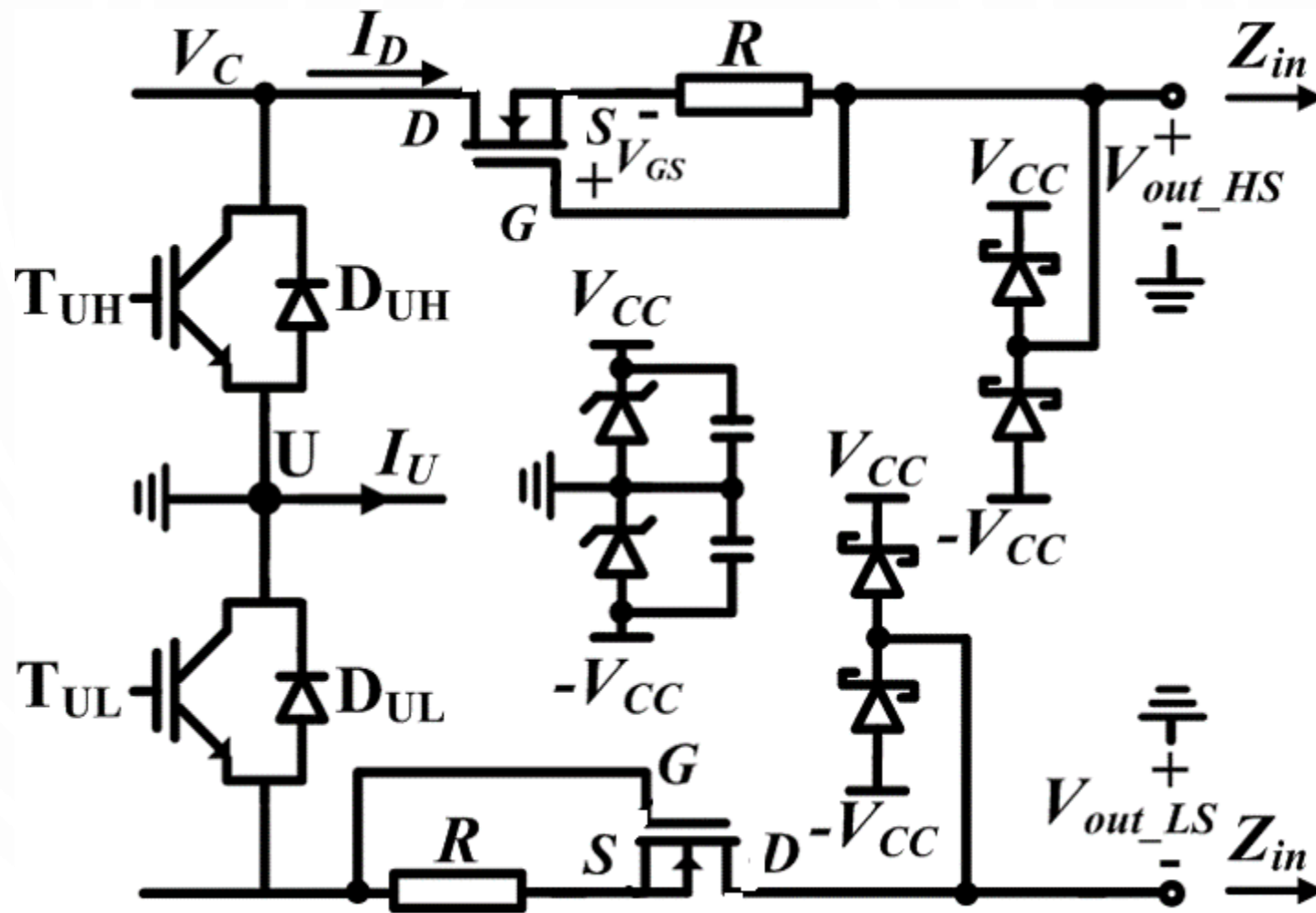
ÉTUDE DE LA LINÉARITÉ



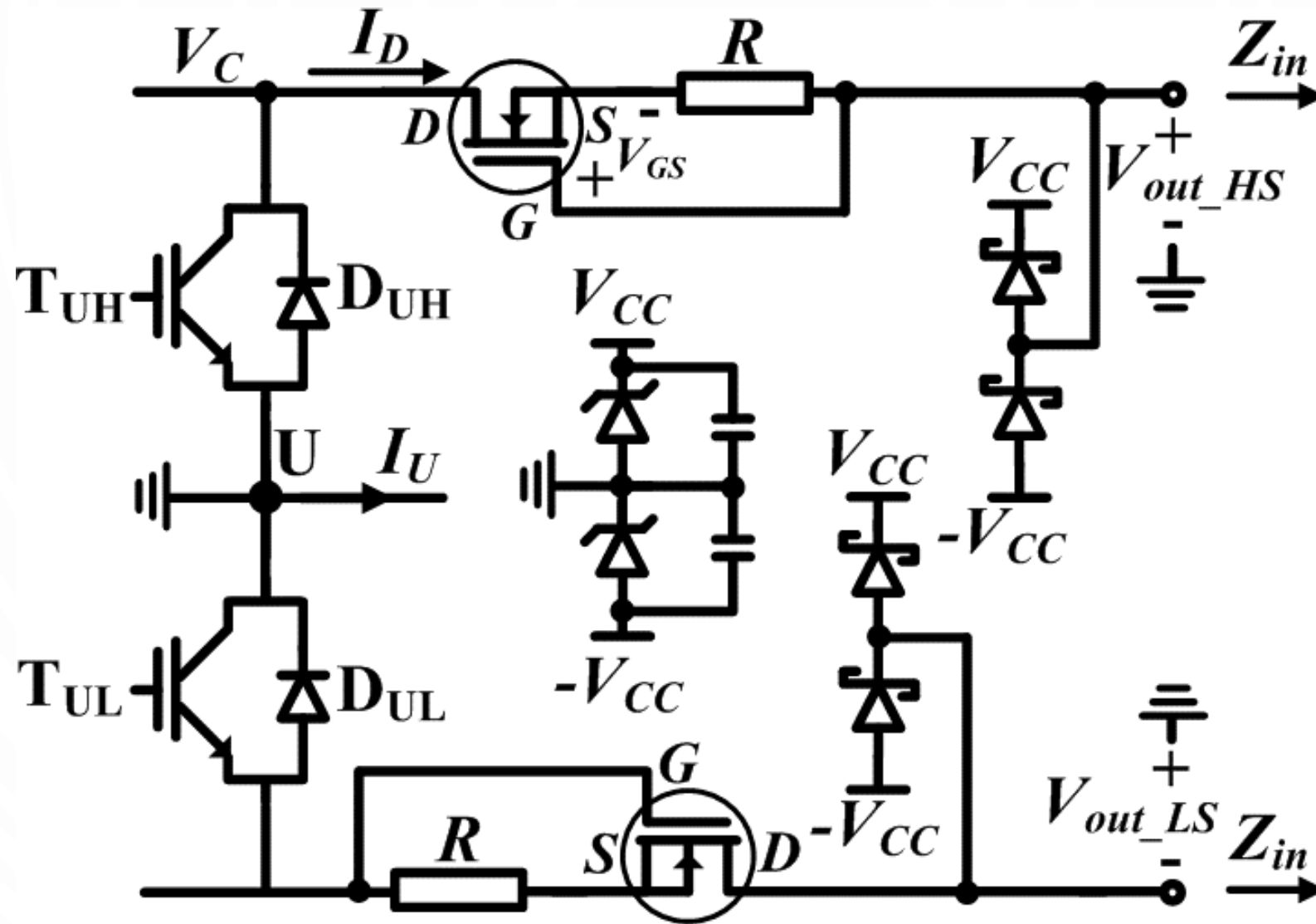
ÉTUDE DU RETARD



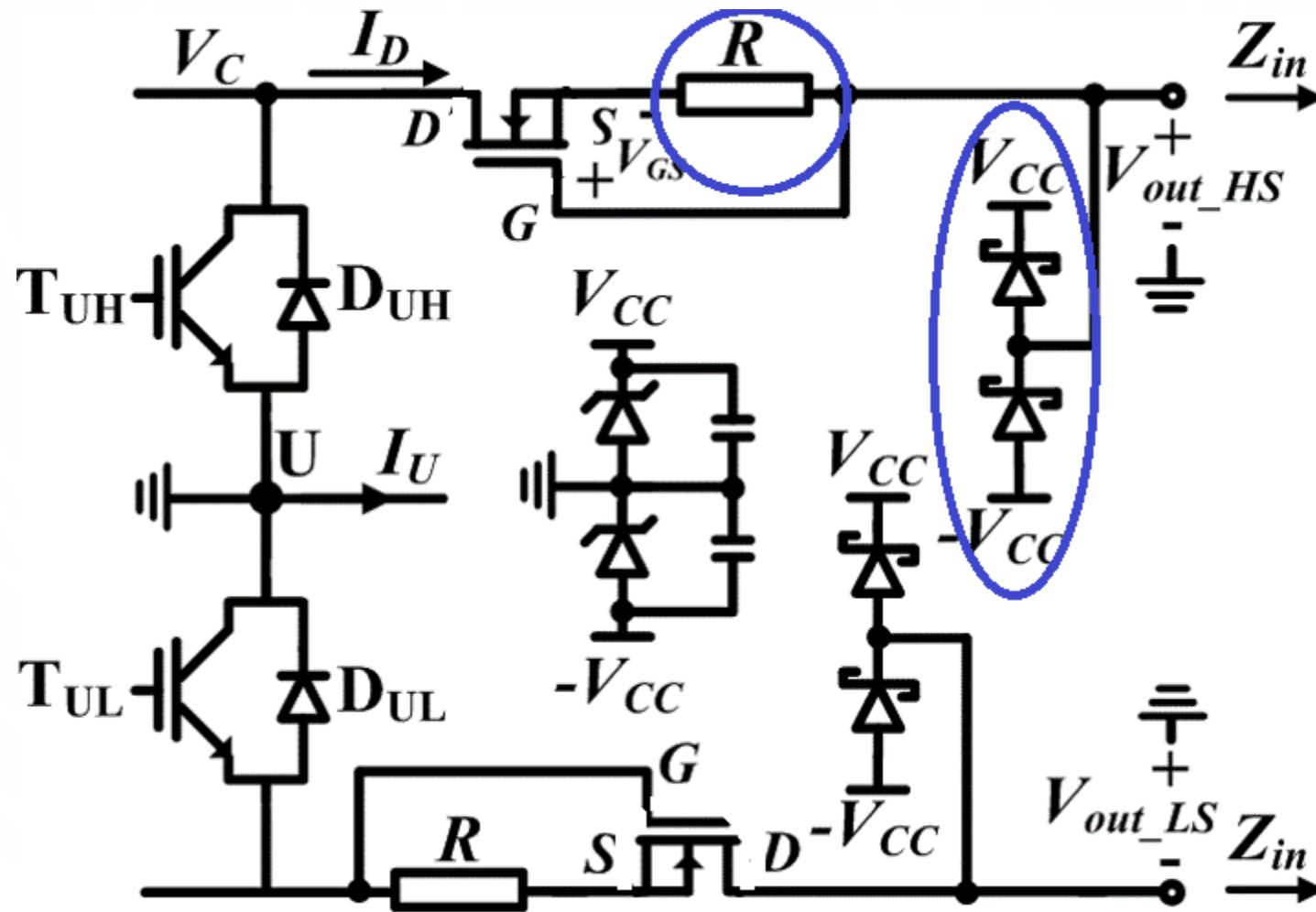
DEUXIÈME MONTAGE



DEUXIÈME MONTAGE



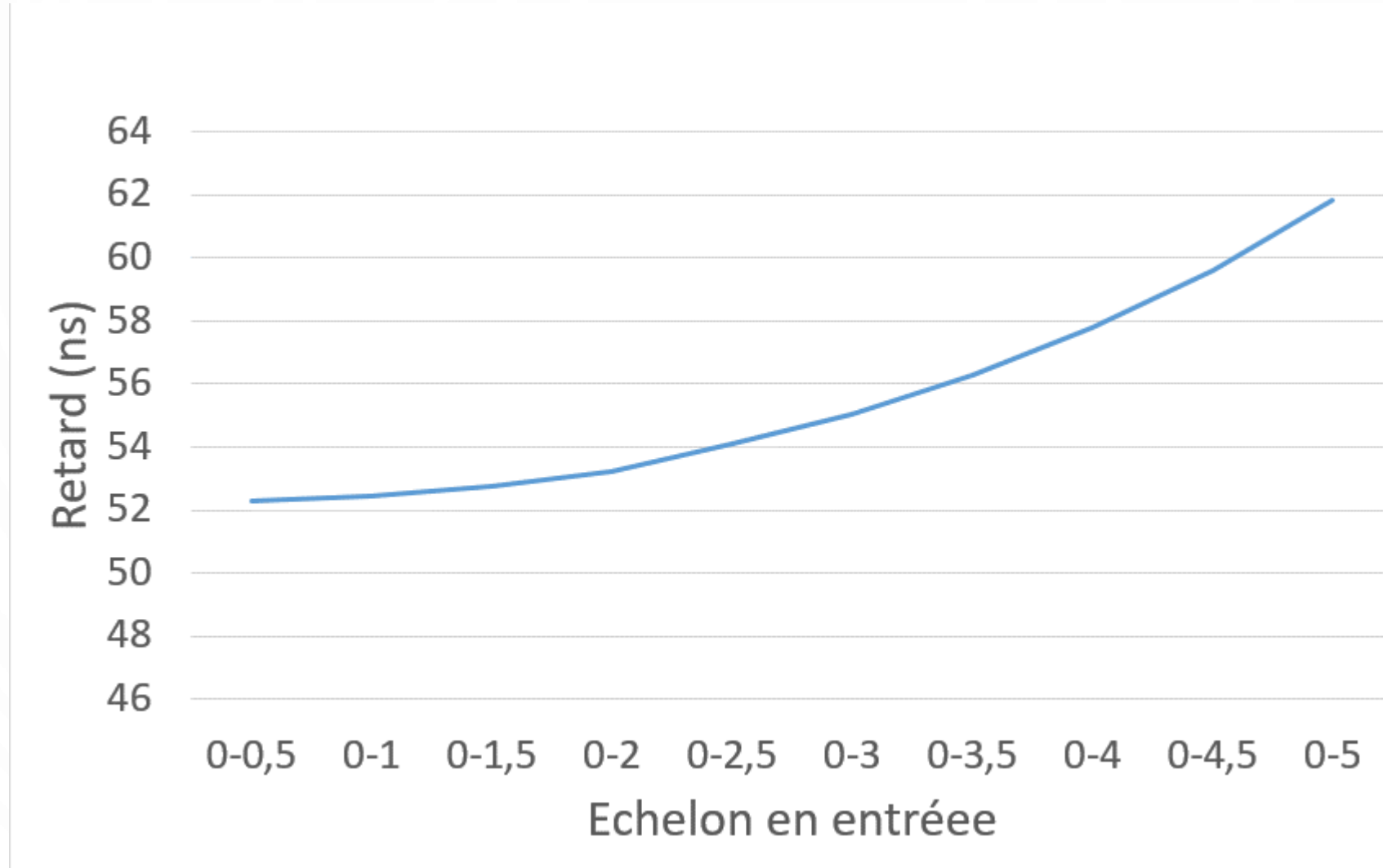
DEUXIÈME MONTAGE



ÉTUDE DE LA LINÉARITÉ



ÉTUDE DU RETARD



CONCLUSION

Evaluation performance

- premier montage : erreur relative : 0,01% à 0,1%

retard : <40 ns

- deuxième montage : erreur relative: 0% à $3 \cdot 10^{-7}\%$

retard : $52 \text{ ns} < \text{retard} < 64 \text{ ns}$

Perspective

- Réalisation de la carte électronique
- Test sur banc de puissance